

## Vorbemerkung

Dies ist ein abgegebenes Praktikumsprotokoll aus dem Modul physik313.

Dieses Praktikumsprotokoll wurde nicht bewertet. Es handelt sich lediglich um meine Abgabe und keine Musterlösung.

Alle Praktikumsprotokolle zu diesem Modul können auf [http://martin-ueding.de/de/university/bsc\\_physics/physi](http://martin-ueding.de/de/university/bsc_physics/physi) gefunden werden.

Sofern im Dokuments nichts anderes angegeben ist: Dieses Werk von Martin Ueding ist lizenziert unter einer [Creative Commons Namensnennung - Weitergabe unter gleichen Bedingungen 4.0 International Lizenz](#).

[disclaimer]

## Praktikumsprotokoll

# Logische Schaltungen

physik313 – Versuch 7

Lino Lemmer<sup>\*</sup>      Martin Ueding<sup>†</sup>

2013-09-09

Der  $\LaTeX$ -Quelltext zu allen Protokollen in diesem Praktikum kann auf [1](#) eingesehen werden. Die Quellen für dieses Protokoll können auf [2](#) eingesehen werden. Die  $\LaTeX$ -Datei wird aus [3](#) generiert.

1. <http://martin-ueding.de/de/university/physik313/>
2. <https://github.com/martin-ueding/physik313-7/>
3. <https://github.com/martin-ueding/physik313-7/blob/master/Template.tex>

---

<sup>\*</sup>[s6lilemm@uni-bonn.de](mailto:s6lilemm@uni-bonn.de)

<sup>†</sup>[mu@martin-ueding.de](mailto:mu@martin-ueding.de)

## Inhaltsverzeichnis

<b>1</b>	<b>Einleitung</b>	<b>3</b>
<b>2</b>	<b>Aufgaben</b>	<b>3</b>
2.1	Aufgaben A . . . . .	3
2.2	Aufgabe B . . . . .	3
2.3	Aufgabe C . . . . .	3
2.4	Aufgabe D . . . . .	4
2.5	Aufgabe E . . . . .	4
2.6	Aufgabe F . . . . .	5
2.7	Aufgabe G . . . . .	5
2.8	Aufgabe H . . . . .	6
2.9	Aufgabe I . . . . .	7
2.10	Aufgabe J . . . . .	8
2.11	Aufgabe K . . . . .	9
2.12	Aufgabe L . . . . .	10
2.13	Aufgabe M . . . . .	11
2.14	Aufgabe N . . . . .	11
2.15	Aufgabe O . . . . .	13
2.16	Aufgabe P . . . . .	13
2.17	Aufgabe Q . . . . .	13
2.18	Aufgabe R . . . . .	14
<b>3</b>	<b>Durchführung</b>	<b>14</b>
3.1	Aufgabe a . . . . .	14
3.2	Aufgabe b . . . . .	16
3.3	Aufgabe c . . . . .	18
3.4	Aufgabe d . . . . .	18
3.5	Aufgabe e . . . . .	18
3.6	Aufgabe f . . . . .	19
3.7	Aufgabe g . . . . .	19

## 1 Einleitung

In diesem Versuch betrachten wir einfache logische Gatter und bauen Schaltungen damit. Am Ende bauen wir eine vollständige Addiererschaltung mit 3-Bit.

## 2 Aufgaben

### 2.1 Aufgaben A

**Aufgabenstellung:** Wieviel verschiedene Schaltfunktionen von  $n$  Eingangsvariablen gibt es, wenn man nur Schaltfunktionen ohne Redundanzen betrachtet?

Mit  $n$  Eingangsvariablen gibt es  $2^{2^n}$  Schaltfunktionen.

### 2.2 Aufgabe B

**Aufgabenstellung:** Prüfen Sie die obigen Ausdrücke anhand einer Funktionstafel nach. Gemeint sind folgende Ausdrücke:

$$a \vee 1 = 1 \quad a \vee 0 = a \quad a \vee \bar{a} = 1$$

$$a \wedge 1 = a \quad a \wedge 0 = 0 \quad a \wedge \bar{a} = 0$$

$a$	$a \vee 0$	$a \vee 1$	$a \vee \bar{a}$	$a \wedge 0$	$a \wedge 1$	$a \wedge \bar{a}$
0	0	1	1	0	0	0
1	1	1	1	0	1	0

Tabelle 1: Funktionstafel zu Aufgabe B

Wie in Tabelle 1 zu sehen ist stimmen die Ausdrücke.

### 2.3 Aufgabe C

**Aufgabenstellung:** Prüfen Sie das Distributivgesetz und die Sätze von DEMORGAN mit einer Funktionstafel nach.

Wie in Tabelle 2 und 3 zu sehen ist stimmen die Ausdrücke.

$a$	$b$	$c$	$(a + b) \cdot c$	$(a \cdot c) + (b \cdot c)$
0	0	0	$0 \cdot 0 = 0$	$0 + 0 = 0$
1	0	0	$1 \cdot 0 = 0$	$0 + 0 = 0$
0	1	0	$1 \cdot 0 = 0$	$0 + 0 = 0$
0	0	1	$0 \cdot 1 = 0$	$0 + 0 = 0$
1	1	0	$1 \cdot 0 = 0$	$0 + 0 = 0$
1	0	1	$1 \cdot 1 = 1$	$1 + 0 = 1$
0	1	1	$1 \cdot 1 = 1$	$0 + 1 = 1$
1	1	1	$1 \cdot 1 = 1$	$1 + 1 = 1$

Tabelle 2: Funktionstafel zum Distributivgesetz

$a$	$b$	$\overline{a \cdot b}$	$\bar{a} + \bar{b}$	$\overline{a + b}$	$\bar{a} \cdot \bar{b}$
0	0	$\bar{0} = 1$	$1 + 1 = 1$	$\bar{0} = 1$	$1 \cdot 1 = 1$
1	0	$\bar{0} = 1$	$0 + 1 = 1$	$\bar{1} = 0$	$0 \cdot 1 = 0$
0	1	$\bar{0} = 1$	$1 + 0 = 1$	$\bar{1} = 0$	$1 \cdot 0 = 0$
1	1	$\bar{1} = 0$	$0 + 0 = 0$	$\bar{1} = 0$	$0 \cdot 0 = 0$

Tabelle 3: Funktionstafel zu den Sätzen von DE-MORGAN

### 2.4 Aufgabe D

**Aufgabenstellung:** Wie lautet der BOOLEsche Ausdruck für die EXKLUSIV-ODER-Funktion aus Beispiel 1? Formen Sie den Ausdruck um, bis nur noch die Schaltfunktion  $a \cdot \bar{b}$  vorkommt.

Der boole'sche Ausdruck ist

$$\bar{a} \cdot b + a \cdot \bar{b}$$

Durch zweimalige Negation kann man diesen Ausdruck so umformen, dass die gewünschte Form entsteht:

$$\overline{\overline{\bar{a} \cdot b + a \cdot \bar{b}}} = \overline{\overline{\bar{a} \cdot b} \cdot \overline{a \cdot \bar{b}}}$$

### 2.5 Aufgabe E

**Aufgabenstellung:** Schreiben Sie alle Minterme von 3 Eingangsvariablen auf. Vergleichen Sie die Anzahl der verschiedenen Minterme mit der Zeilenzahl einer Funktionstafel für 3 Eingangsvariablen. Wie wird man die Minterme sinnvollerweise nummerieren?

Wie aus Tabelle 4 ersichtlich wird, folgt eine mögliche Nummerierung aus der binären Kodierung der Eingangsvariablen.

$a$	$b$	$c$	0	0	0	0
$a$	$b$	$\bar{c}$	0	0	1	1
$a$	$\bar{b}$	$c$	0	1	0	2
$a$	$\bar{b}$	$\bar{c}$	0	1	1	3
$\bar{a}$	$b$	$c$	1	0	0	4
$\bar{a}$	$b$	$\bar{c}$	1	0	1	5
$\bar{a}$	$\bar{b}$	$c$	1	1	0	6
$\bar{a}$	$\bar{b}$	$\bar{c}$	1	1	1	7

Tabelle 4: Mögliche Minterme bei 3 Eingangsvariablen

### 2.6 Aufgabe F

**Aufgabenstellung:** Stellen Sie eine Funktionstafel (Eingänge  $a, b$ , Ausgänge  $Q_1, Q_2$ ) dieses Flip-Flops [Abbildung 1] auf. Für welchen Eingangszustand gibt es mehrere Möglichkeiten für die Ausgänge?

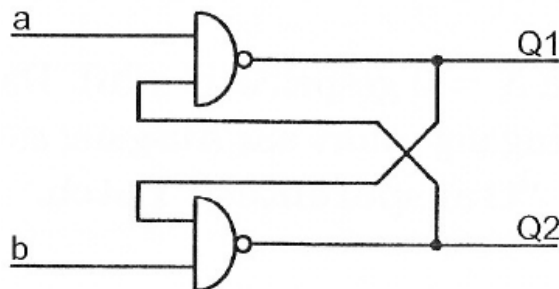


Abbildung 1: [Uni Bonn, PI, 2013, Abbildung 7.1]

$a$	$b$	$Q_1$	$Q_2$
0	0	1	1
0	1	1	0
1	0	0	1
1	1	1/0	0/1

Tabelle 5: Funktionstafel für das in Abbildung 1 gezeigte Flip-Flop

Wie in Tabelle 5 zu sehen ist, gibt es für  $a = b = 1$  zwei mögliche Ausgangseinstellungen.

### 2.7 Aufgabe G

**Aufgabenstellung:** Zeichnen Sie ein 4-Bit-Schieberegister auf, das seriell geladen wird.

Die Schaltung des seriell geladenen Schieberegisters ist in Abbildung 2 zu sehen.

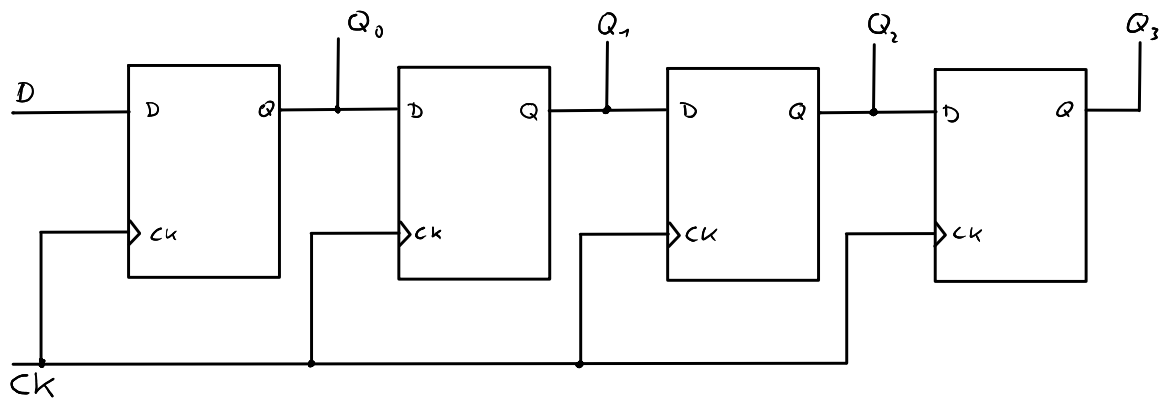


Abbildung 2: Seriell geladenes Schieberegister

## 2.8 Aufgabe H

**Aufgabenstellung:** Entwerfen Sie ein 4-Bit-Schieberegister, das parallel geladen werden kann (d.h. alle Bits gleichzeitig, wenn eine Steuerleitung „LOAD“ auf 1 ist). Benutzen Sie dazu die unten [Abbildung 3] abgebildeten kombinierten Schaltelemente, die auch auf dem Schaltbrett zur Verfügung stehen.

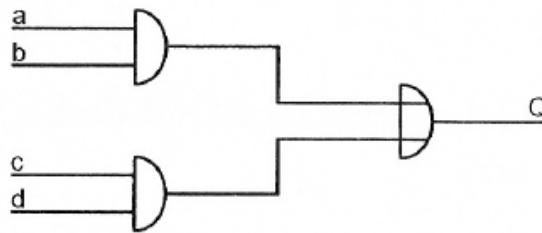


Abbildung 3: [Uni Bonn, PI, 2013, Abbildung in Aufgabe H]

Die Schaltung ist in Abbildung 4 zu sehen.

Steht LOAD auf 1 wird beim entsprechenden Takt jedes Bit gleichzeitig von  $D_i$  aus geladen, da der Multiplexer diese Quelle auswählt. Steht LOAD auf 0, wirkt diese Schaltung wie das in Abbildung 2 gezeigte seriell geladene Schieberegister.

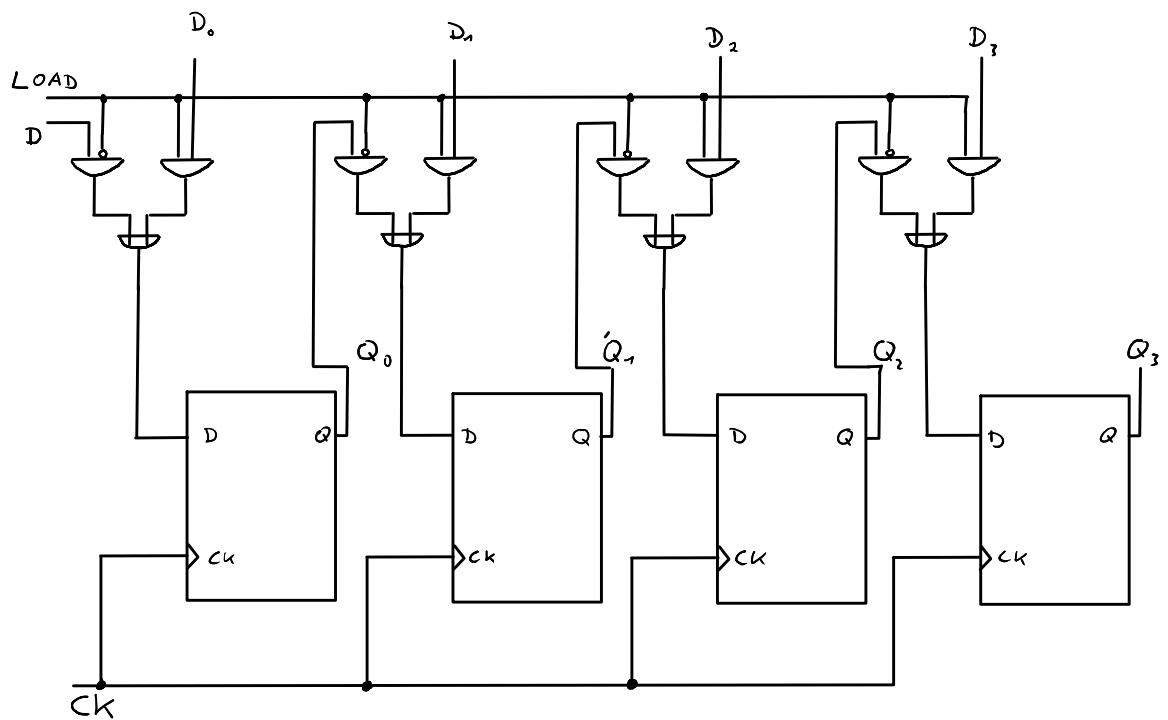


Abbildung 4: Parallel und seriell ladbares Schieberegister

## 2.9 Aufgabe I

**Aufgabenstellung:** Entwerfen Sie einen 4-Bit-Dualzähler, bei dem der Ausgang eines FFs jeweils den Takteingang des nächsten FFs steuert. Tipp: Verbinden Sie bei jedem Flip-Flop  $\bar{Q}$  mit D.

Der Aufbau des Dualzählers ist in Abbildung 5 zu sehen.

Da der Eingang der FFs mit ihrem negierendem Ausgang verbunden sind, wechseln alle beim Taktsignal ihr Ausgangssignal. Dabei wechselt jedes FF nur noch halb so häufig das Signal wie sein Vorgänger, da das Taktsignal nur beim Wechsel von z.B. HIGH zu LOW ausgelöst wird, daher den anderen Wechsel auslöst.

Die Bits schalten hierbei nicht alle gleichzeitig, da das Schaltsignal gewissermaßen durchgereicht wird und sich daher interne Schaltzeiten aufsummieren.



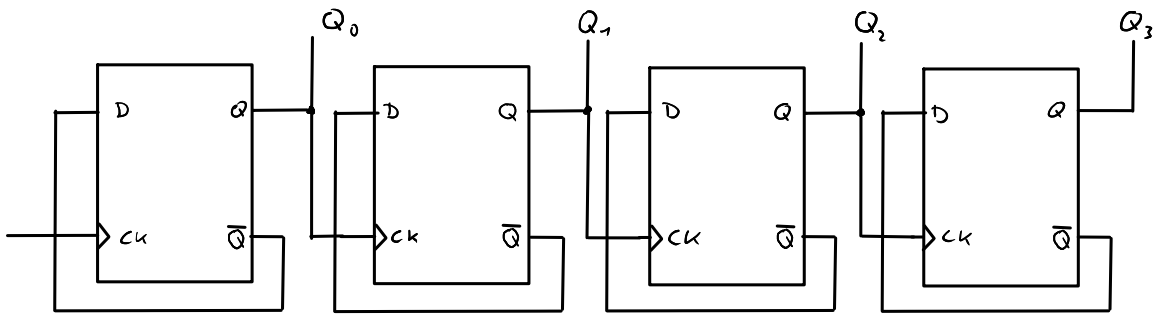


Abbildung 5: Asynchroner 4-Bit-Dualzähler

**2.10 Aufgabe J**

**Aufgabenstellung:** Entwerfen Sie einen Synchronen 3-Bit-Dualzähler. Stellen Sie dazu eine Schalttafel auf, aus der Sie entnehmen können, wann ein bestimmtes FF auf 1 und wann es auf 0 springen muss.

Takt	$Q_0$	$Q_1$	$Q_2$
0	0	0	0
1	1	0	0
2	0	1	0
3	1	1	0
4	0	0	1
5	1	0	1
6	0	1	1
7	1	1	1

Tabelle 6: Schalttafel zum 3-Bit-Dualzähler

Wie aus Tabelle 6 ersichtlich wird, springt ein FF erst dann auf 1, wenn alle FFs vor ihm auf 1 stehen. Im gleichen Moment springen alle vor ihm zurück auf 0. Daraus folgt die Schaltung, wie sie in Abbildung 6 zu sehen ist.

Wenn nun z.B.  $Q_0 = 1$  und  $Q_1 = 0$  übergibt die XOR-Schaltung eine 1 an  $Q_1$ . Ist  $Q_0 = Q_1 = 1$  gibt die AND-Schaltung eine 1 weiter. Ist nun  $Q_2 = 0$  springt dieses aufgrund der zweiten XOR-Schaltung auf 1. Die anderen beiden springen auf 0.

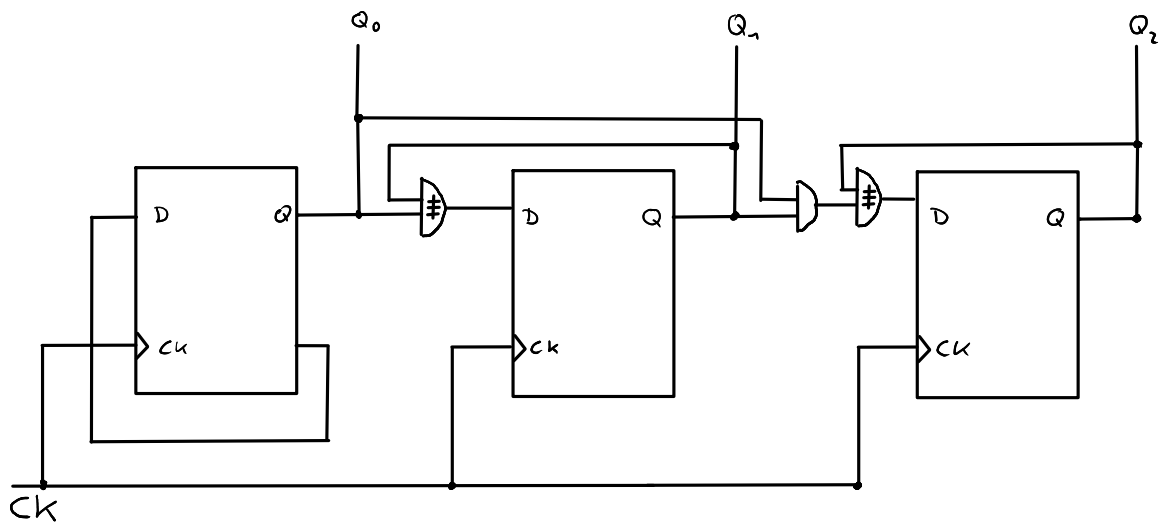


Abbildung 6: Synchroner 3-Bit-Dualzähler

### 2.11 Aufgabe K

**Aufgabenstellung:** Welche logische Funktion wird durch diese Schaltung [in Abbildung 7] realisiert? Welche Aufgabe haben die Dioden? Überprüfen Sie, ob auch hier noch die Ausgangspegel korrekt sind.

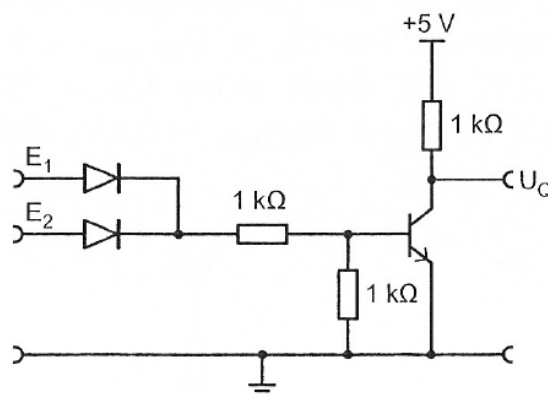


Abbildung 7: [Uni Bonn, PI, 2013, Abbildung 7.7]

Die logische Funktion der Schaltung ist eine NOR-Funktion.

Die Dioden haben die Funktion die einkommenden Spannungen nur an das Gatter weiterzuleiten. Die Eingangsspannung soll von beiden Eingängen auf  $U_{EH}$  gezogen werden können, jedoch sollen die Eingänge voneinander entkoppelt sein, sie sollen ja Eingänge sein.

**Spannungslevel** Wenn nur  $U_L$  auf beiden Eingängen ist, liegt eine maximale Spannung von 0,2V an, da die Siliziumdioden schon 0,6V verschlingen. Dies reicht nicht mehr aus, um den Transistor zu schalten, am Ausgang werden fast die vollen 5V anliegen.

Wenn einer der der Eingänge auf  $U_H$  geschaltet ist, dann mindestens 2,4V. Nach der Diode sind immer noch 1,8V da. Dies sollte reichen, um den Transistor zu schalten.  $U_{BE}$  ist dann nur noch 0,7V, so dass folgender Strom fließt:

$$I_B = \frac{1,8\text{V} - 2 \cdot 0,7\text{V}}{1\text{k}\Omega} = 0,4\text{mA}$$

Mit einer Stromverstärkung von  $\beta = 100$  sind dies  $I_B = 40\text{mA}$ . Dabei würde an  $R_C$  eine Spannung von 40V abfallen. Da nur 5V anliegen, wird sicher ein LOW am Ausgang anliegen.

## 2.12 Aufgabe L

**Aufgabenstellung:** Was passiert, wenn man die Dioden umpolt? Zeichnen Sie die Schaltung auf. Funktioniert die Schaltung sinnvoll? Kann man mit einem 2,2 k $\Omega$  Widerstand nach +5V etwas erreichen? Begründen Sie, warum es hier ein Problem für  $U_E = U_{E_L \max}$  gibt.

Die Schaltung ist in [Abbildung 8](#) zu sehen.

Ohne den 2,2 k $\Omega$  Widerstand, wäre der Ausgang konstant HIGH. Mit dem Widerstand erhält der Punkt  $P$  ein Potenzial  $U_E$ :

$$U_E = \frac{1\text{k}\Omega + 1\text{k}\Omega}{2,2\text{k}\Omega + 1\text{k}\Omega + 1\text{k}\Omega} 5\text{V} = 2,4\text{V}$$

Daraus ergeben sich drei Fälle:

- $E_1 = E_2 = U_L$ : Die Dioden leiten beide. Der verbleibende Basisstrom reicht nicht aus um den Transistor durchzuschalten. Es fließt kein Kollektorstrom, daher ist der Ausgang HIGH.
- $E_1 = U_L$  und  $E_2 = U_H$  oder andersherum: Eine Diode leitet, die Folgen sind die Gleichen wie im ersten Fall, der Ausgang ist also HIGH.
- $E_1 = E_2 = U_H$ : Die Dioden sperren beide. Der Basisstrom ist groß genug um den Transistor durchzuschalten. Der Ausgang wird LOW.

Wäre  $U_E$  nicht 2,4V sondern 0,8V würde beim letzten genannten Fall die Spannung nicht ausreichen um den Transistor durchzuschalten. Wir hätten auch hier als Ausgang ein HIGH-Signal.

Es handelt sich um eine NAND-Schaltung.

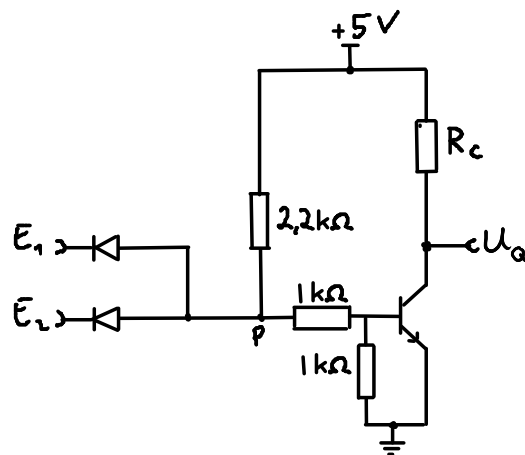


Abbildung 8: Schaltung für Aufgabe L

### 2.13 Aufgabe M

**Aufgabenstellung:** Wie funktioniert der CMOS-Inverter (Abbildung 9)? Benutzen Sie die angegebenen Kennlinien.

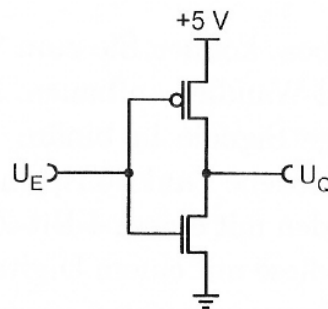


Abbildung 9: [Uni Bonn, PI, 2013, Abbildung 7.9]

Wenn eine Eingangsspannung anliegt, also ein HIGH, sperrt der obere FET, der untere FET wird durchgeschaltet. Somit fällt die Betriebsspannung am oberen FET ab, Ausgang ist ein LOW.

Wenn keine Eingangsspannung anliegt, also ein LOW, wird der Obere durchgeschaltet, der Untere gesperrt. Damit fällt die Betriebsspannung am unteren ab, Ausgang ist ein HIGH.

Die Kennlinien sind so extrem, dass sich hier ein digitales Verhalten zeigt.

### 2.14 Aufgabe N

**Aufgabenstellung:** Welche logische Funktion ist mit dem Gatter in Abbildung 10 realisiert?

Legen wir doch eine Tabelle an. Dazu gehen wir Schritt für Schritt durch:

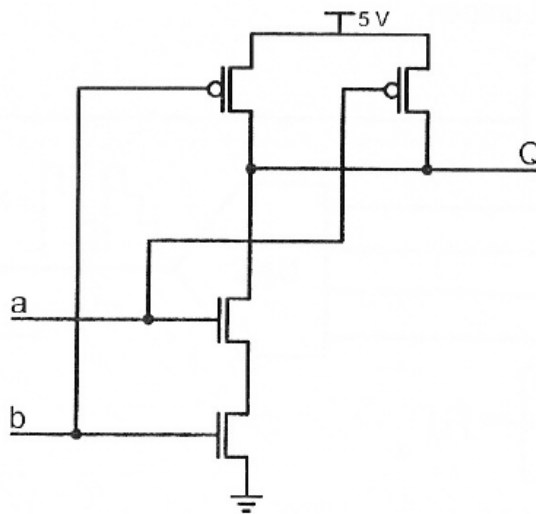


Abbildung 10: [Uni Bonn, PI, 2013, Abbildung 7.10]

**A und B low** p-MOS links und rechts sind durchgeschaltet. Daher fällt über ihnen keine Spannung ab. Die n-MOS oben und unten sind gesperrt, daher fällt über ihnen Spannung ab. Ausgang ist HIGH.

**A und B high** Genau invers, also fällt die Spannung über den ersten MOSFETs ab, womit der Ausgang LOW ist.

**A high und B low** p-MOS links ist offen, p-MOS rechts ist gesperrt. n-MOS oben ist offen, n-MOS unten ist gesperrt.

Somit fällt viel Spannung unten ab, oben ist ein Weg offen. Ausgang ist HIGH.

**A low und B high** p-MOS links ist gesperrt, rechts ist offen. n-MOS oben ist gesperrt, unten ist offen.

Somit wie oben, HIGH

**Zusammenfassung** Wir erhalten:

A \ B	0	1
0	1	1
1	1	0

Somit handelt es sich um ein NAND-Gatter.

### 2.15 Aufgabe O

**Aufgabenstellung:** Wie lauten die Boole'schen Ausdrücke für Summe und Übertrag eines Halbaddierers?

Einen Übertrag gibt es nur, wenn beide Summanden HIGH sind. Somit ist der Übertrag:

$$U := a \wedge b$$

Die Summe ist ein XOR. Also:

$$S := a \vee b$$

### 2.16 Aufgabe P

**Aufgabenstellung:** Schreiben Sie die Funktionstafel auf für einen Volladdierer, der auch den Übertrag des vorhergehenden Bits mit verarbeitet.

Der Volladdierer bekommt nicht nur die beiden Stellen  $a$  und  $b$  geliefert, sondern auch  $U_{in}$ , den Übertrag der vorherigen Rechnung. Der Volladdierer addiert diese drei Zahlen auf. Da sie im Bereich 0 bis 3 liegen, braucht er zwei Stellen als Ausgabe. Das ist einmal Summe und  $U_{out}$ , der Übertrag des Ergebnisses.

$a$	$b$	$U_{in}$	$U_{out}$	$S$
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Für die Bearbeitung dieser Aufgabe habe ich mir [Wikipedia, 2013] angeschaut. Die Tabelle habe ich jedoch nicht kopiert, sondern aus der Erklärung im ersten Absatz des Artikels selbst erstellt.

### 2.17 Aufgabe Q

**Aufgabenstellung:** Geben Sie ein Blockschaltbild an für einen Volladdierer, der aus zwei Halbaddierern zusammengesetzt ist.

Der Volladdierer soll, wie in der vorherigen Aufgabe beschrieben, drei Zahlen addieren. Dazu werden erst einmal  $a$  und  $b$  addiert, zur Zwischensumme  $Z$  und ihrem Übertrag  $U_Z$ . Anschließend werden der vorherige Übertrag  $U_{in}$  mit der Zwischensumme addiert. Als Ergebnis kommen die Summe  $S$  und ein weiterer Übertrag  $U_S$  heraus. Die beiden Überträge können jedoch nicht beide HIGH sein. Somit reicht es, sie mit einem OR-Gatter zu verknüpfen.

Dies ist in Abbildung 11 gezeigt.

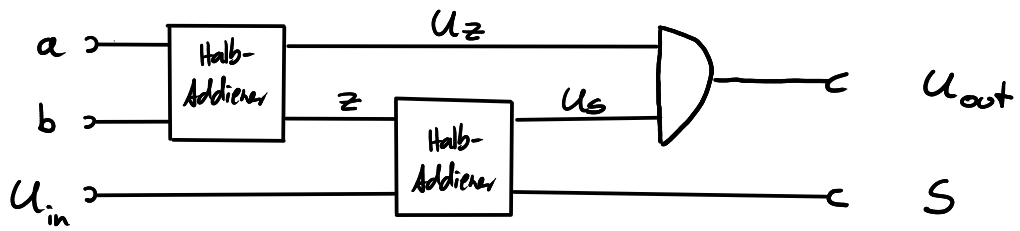


Abbildung 11: Blockschaltbild für den Volladdierer. Mit Denkanstoß von [Wikipedia, 2013].

### 2.18 Aufgabe R

**Aufgabenstellung:** Entwerfen Sie ein Schaltschema eines seriellen Addierwerkes wie oben beschrieben. Mit den auf dem Schaltbrett vorhandenen Elementen ist es nicht möglich, zwei Register aufzubauen, die man beide parallel laden kann. Füllen Sie deswegen das eine Summandenregister, welches gleichzeitig als Ergebnisregister dient, indem Sie zunächst den ersten Summanden zu Null hinzuaddieren.

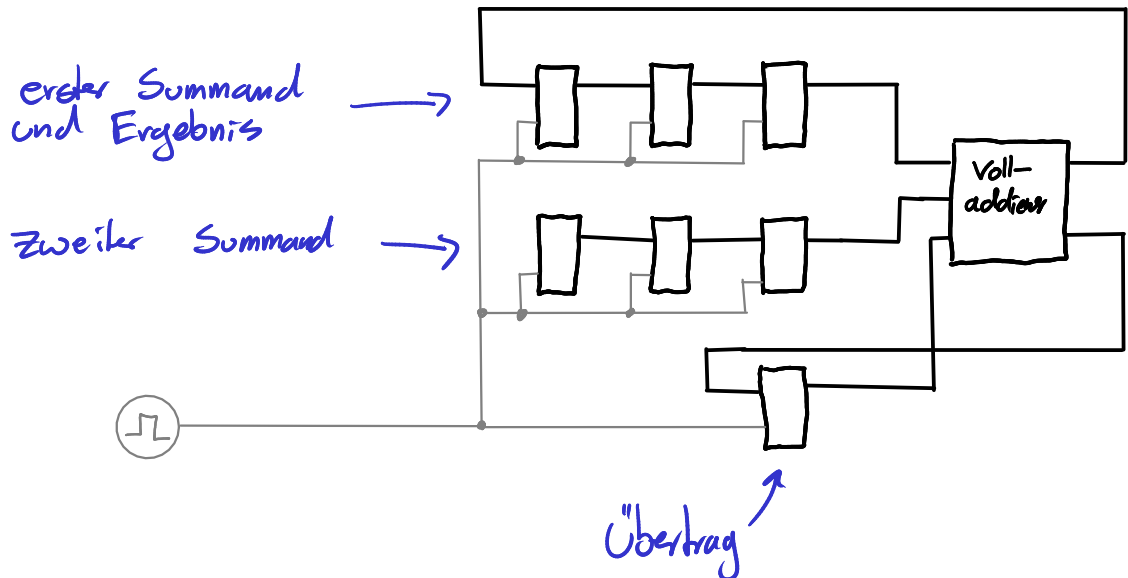


Abbildung 12: Blockschaltbild für die vollständige Addiererschaltung.

## 3 Durchführung

### 3.1 Aufgabe a

Wir messen die Übertragungskennlinie eines Inverters bei einer Versorgungsspannung von 5 V um Bereich  $U_E = 0V$  bis  $U_E = 5V$ . Unsere Messung ist in Tabelle 7 und Abbildung 13

$U_E$	$U_O$
0,0	4,93
0,5	4,93
1,0	4,93
1,5	4,92
2,0	4,61
2,2	4,1
2,4	2,95
2,6	0,66
2,8	0,15
3,0	-0,03
3,5	-0,25
4,0	-0,35
4,5	0,0
5,0	0,0

Tabelle 7: Messwerte für die Kennlinie eines Inverters.

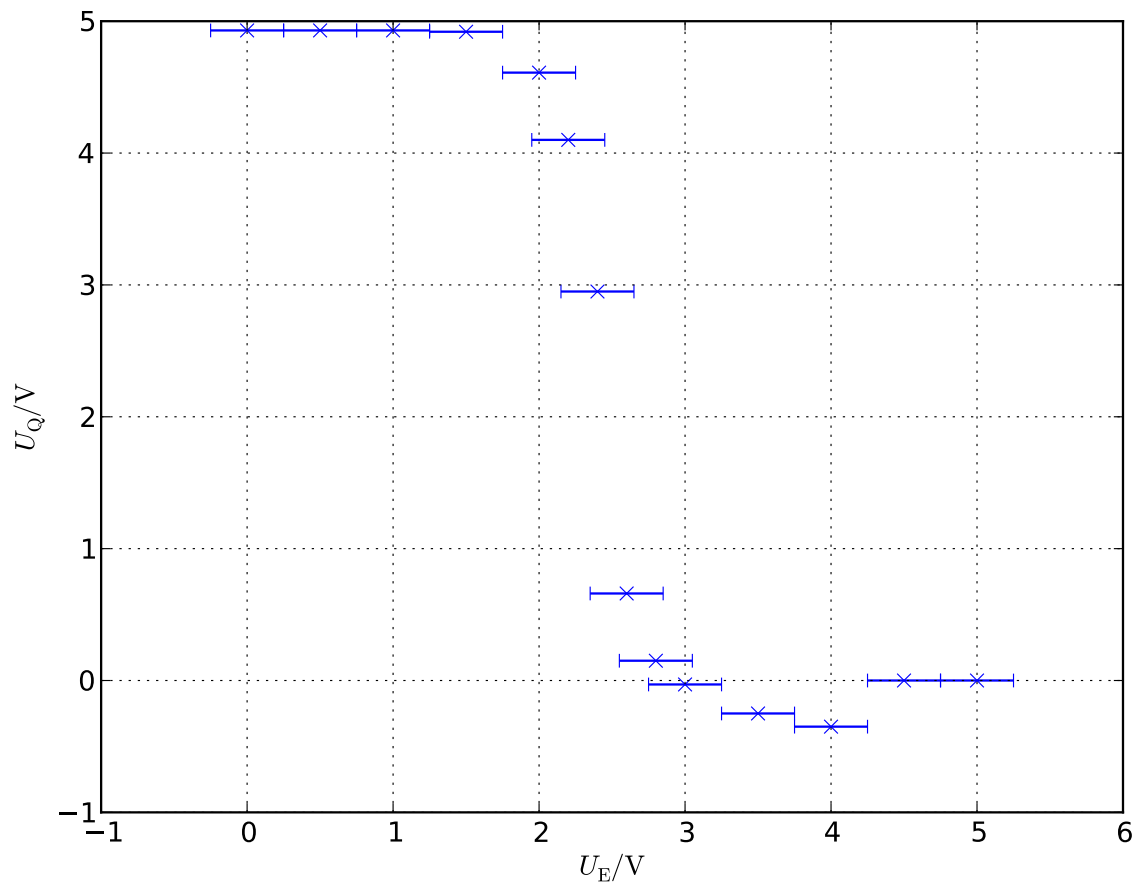


Abbildung 13: Übertragungskennlinie eines Inverters



### 3.2 Aufgabe b

Wir bauen nun ein NAND-Gatter mit der Schaltung aus Aufgabe L auf. Die Hubdioden ersetzen den Vorwiderstand und sorgen dafür, dass die HIGH- und LOW-Level richtig herauskommen.

Die Messwerte für die Übertragungskennlinie beim zweiten Eingang auf HIGH haben wir in Tabelle 8 aufgelistet und in Abbildung 14 geplottet. Für LOW auf dem zweiten Eingang erhalten wir eine andere Kennlinie, siehe Tabelle 9 und Abbildung 14.

$U_E$	$U_O$
0,0	4,95
0,5	4,95
0,75	4,95
1,0	4,82
1,1	2,36
1,2	0,07
1,5	0,04
2,0	0,03
2,5	0,03
3,0	0,03
4,0	0,03
5,0	0,03

Tabelle 8: Messwerte für die Kennlinie eines nand-Gatters mit Transistor. Der zweite Eingang ist auf high gesetzt.

$U_E$	$U_O$
0,0	4,93
1,0	4,93
2,0	4,93
3,0	4,93
4,0	4,93
5,0	4,93

Tabelle 9: Messwerte für die Kennlinie eines nand-Gatters mit Transistor. Der zweite Eingang ist auf low gesetzt.

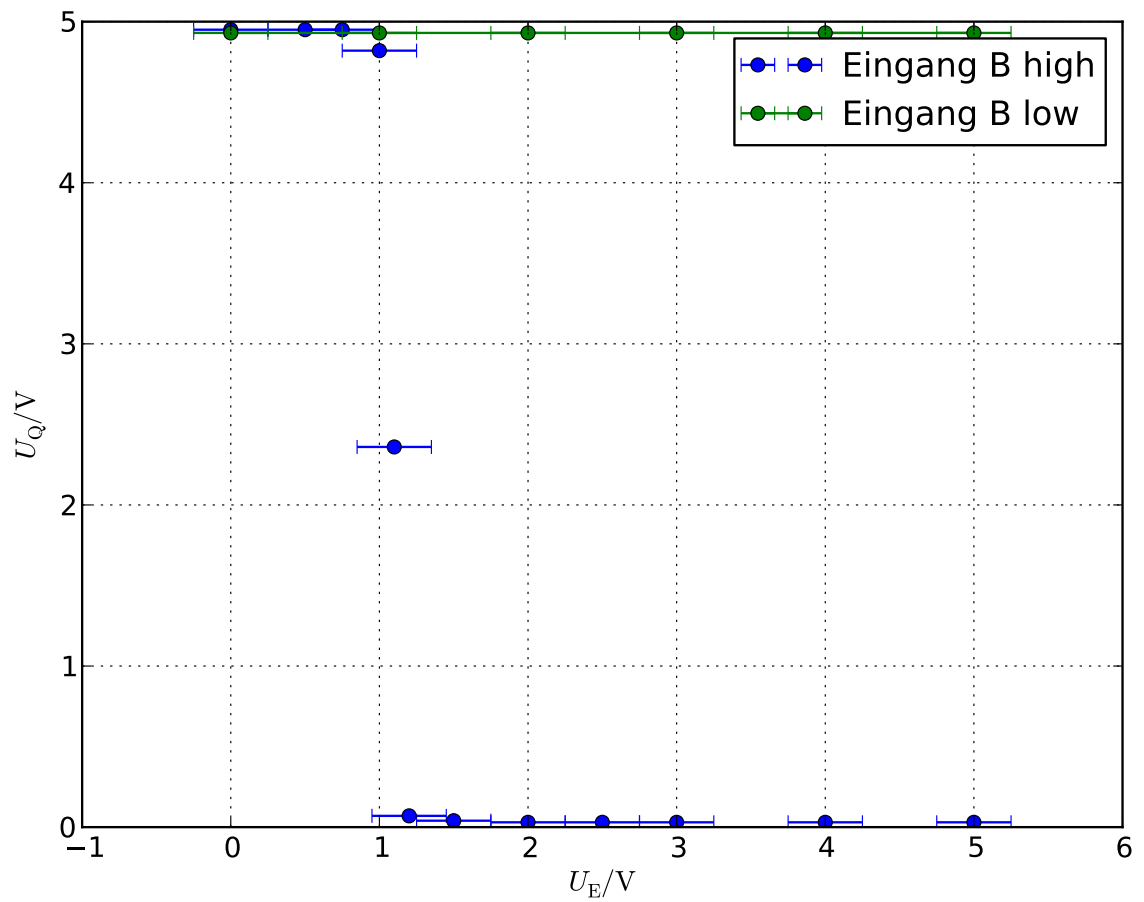


Abbildung 14: Übertragungskennlinie eines nand-Gatters mit Transistor

### 3.3 Aufgabe c

Wir bauen aus NAND-Gattern ein XOR-Gatter auf. Dies geht nach Abbildung 15.

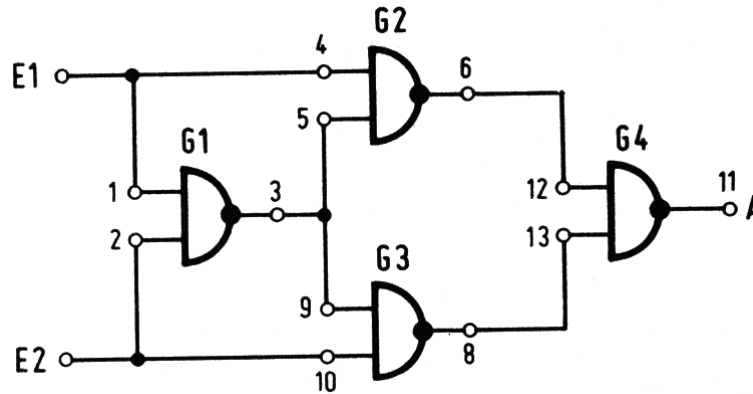


Abbildung 15: xor-Gatter. [Wirsum, 1980, Seite 20]

Wir haben dies aufgebaut, es funktioniert.

### 3.4 Aufgabe d

Wir sollen in diesem Versuch einen Halbaddierer aus NAND-Gattern zusammensetzen. Für diesen brauchen wir AND- und OR-Gatter. Diese sind in Abbildung 16 und 17 gezeigt.

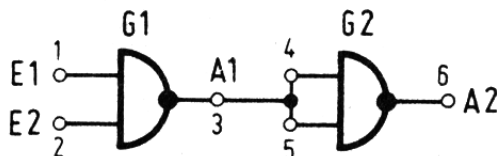


Abbildung 16: and-Gatter. [Wirsum, 1980, Seite 20]

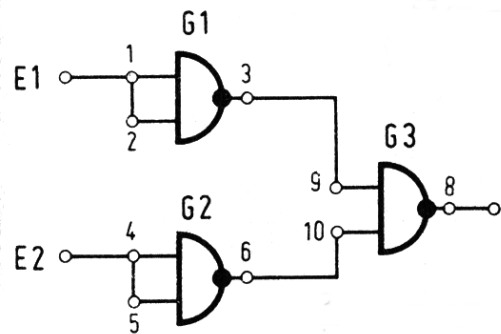


Abbildung 17: or-Gatter [Wirsum, 1980, Seite 21]

Dieser funktionierte. Dann haben wir einen zweiten aufgebaut und mit einen weiteren OR-Gatter zum Volladdierer kombiniert.

### 3.5 Aufgabe e

Nun bauen wir ein seriell ladbares 4-Bit-Schieberegister auf. Wir konnten es mit Daten befüllen und diese durchschieben, es funktionierte also auch.

### 3.6 Aufgabe f

Mit weiteren drei Flip-Flops bauen wir das parallel ladbare 3-Bit-Schieberegister auf. Dies funktioniert auch.

### 3.7 Aufgabe g

Wir bauen die vollständige Addiererschaltung mit den beiden Registern und einem weiteren Flip-Flop, wie in der Voraufgabe R hergeleitet, auf. Wir testen die Addition mit einigen Werten, der Addierer funktioniert.

## Literatur

[Uni Bonn, PI, 2013] Uni Bonn, PI (2013). *Elektronik-Praktikum: Versuchsbeschreibung*.

[Wikipedia, 2013] Wikipedia (2013). Volladdierer. <https://de.wikipedia.org/wiki/Volladdierer>.

[Wirsum, 1980] Wirsum, S. (1980). *Experimente mit digitalen Schaltgliedern*. Franzis, 2. edition.